

(1) Japanese Patent Application Laid-Open No. 05-218410 (1993) "SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF"

The following is English translation of an extract from the above-identified document relevant to the present application.

After obtaining a structure shown in Fig. 1(a), a gate dielectric film 4 of 5nm is grown up on a silicon substrate 1. Furthermore, after depositing polysilicon with thickness of 350nm on the whole surface, high-concentration phosphorus is diffused in the polysilicon using POCl_3 . Then, the gate dielectric film 4 and polysilicon 5 with N^+ -type conductivity is processed by anisotropic etching. An oxide film 6 of about 13nm is formed on a source-drain in a dry oxygen atmosphere at 850 °C (Fig. 1 (b)). At this time, an oxide film 6 of about 500Å is formed on the gate electrode 5.

[0035] Next, N-type impurity such as phosphorus is implanted into the substrate 1 using the gate electrode 5 as a mask on the condition that the dose amount is $7\text{E}13$ and the acceleration voltage is 40keV, and LDDN⁺ layer is formed in self-alignment with a gate. Subsequently, 100nm of a silicon nitride film is deposited with LPCVD and the silicon nitride film is left only on the gate side after anisotropic etching. Thereby, a side wall 7 is formed (Fig. 1 (c)).

[0036] Next, by using the gate electrode 5 and the side wall 7 as a mask, an ion such as arsenic is implanted on the condition that the dose amount is $3\text{E}15$ and the acceleration voltage is 50keV, and a source-drain region 8 that is activated by lamp heating (1000 °C, 20") is formed. Afterwards, the surfaces of the silicon substrate 1 and the gate polysilicon 5 are exposed on the source-drain region 8 and the gate electrode 5, by using the etching liquid of dilute HF of 100:3, for example (Fig. 2 (a)).

[0037] Furthermore, by CVD, for example, 200Å of transition 8 group's metal such as nickel (9 in Fig 2) is deposited (Fig. 2(b)).

[0038] Next, by heat treatment for 1 minute at 580 °C, the nickel film 9 on the gate electrode 5 and the source-drain region 8 is reacted with silicon to form about 700Å of NiSi (10 in Fig. 2). Then, selective etching is performed for 15 minutes with a solution with mixing ratio of HCl:H₂O₂:H₂O=1:1:2 to remove unreacted nickel on the side wall 7 (Fig. 2 (c)).

[0039] After the procedure shown in Fig. 2 (c), 2000Å of CVD-SiO₂ film and 9000Å of BPSG film are deposited and flattened by the resist etchback method. At this time, heat treatment in high temperature is unnecessary. Finally, a NiSi salicide transistor is completed through the usual processes, such as opening of a contact hole, formation of Al wiring pattern, heat treatment by forming gas of 450°C, and opening of a pad.

[0040] As mentioned above, salicidization by NiSi was performed in the 1st embodiment, using nickel as a high melting point metal. Since heat treatment can be performed at low temperature of 400-700 °C in the case of salicideization by NiSi, it is suitable for the low-temperature process. Moreover, since a stable silicide film can be formed at low temperature, diffusion of an impurity decreases and shallow junction is possible. Therefore, a fine-structured semiconductor device can be manufactured.

[0041] Unlike conventional TiSi₂, Since NiSi does not cause creepig-up phenomenon, it does not cause short circuit between the gate and the source or between the gate and the drain. Furthermore, the film stress of NiSi is approximately half of that of TiSi₂, when the film stress of TiSi₂ is $1.2 \cdot 10^{10}$ (dyn/cm), the film stress of NiSi is $6 \cdot 10^9$ (dyn/cm).

[0042] The VD-ID property of the salicide transistor by this NiSi is shown in Fig. 3. This chart shows the drain voltage versus drain current where the gate voltage V_g is the parameter.

[0043] In addition, whereas Ni is used as transition 8 group's metal in the 1st embodiment, Co can be used to silicidize in the same manner. However, whereas heat treatment can be performed at low temperature like NiSi when the Co is silicidized to CoSi, Co has a defect that a composition changes at 500 °C or higher.

[0044] Second Embodiment

The first embodiment shows the example of Salicidization with NiSi, in which the oxide film 6 is formed in a lower part under the side wall 7 and silicidization is not performed as shown in Fig. 2(c). Therefore, parasitic resistance of an N- layer tends to become large as is conventionally. The manufacturing method to solve this problem is explained with reference to Fig. 4. The process proceeding the one shown in Fig. 4 is omitted here since it is the same as the one shown in Fig. 1.

[0045] After forming a source-drain region 8, the surfaces of a silicon substrate 1 and a gate polysilicon are exposed on the source-drain region 8 and the gate electrode 5 using etching solution of dilute HF of 100:3. Etching is performed further and a cavity 11 with the width of 400Å is formed in the lower part under the side wall 7 (Fig. 4 (a)).

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-218410

(43) 公開日 平成5年(1993)8月27日

(51) Int. Cl. 5

識別記号

庁内整理番号

FI

技術表示箇所

H01L 29/784

21/76

M 9169-4M

7377-4M

H01L 29/78

301 S

審査請求 未請求 請求項の数 4

(全14頁)

(21) 出願番号 特願平4-16538

(22) 出願日 平成4年(1992)1月31日

特許法第30条第1項適用申請有り 1991年10月9日 社団法人応用物理学会発行の「1991年(平成3年)秋季第52回応用物理学会講演会予稿集」に発表

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 森本 豊太

神奈川県川崎市幸区小向東芝町1

株式会

社東芝総合研究所内

(72) 発明者 國島 巖

神奈川県川崎市幸区小向東芝町1

株式会

社東芝総合研究所内

(72) 発明者 飯沼 俊彦

神奈川県川崎市幸区小向東芝町1

株式会

社東芝総合研究所内

(74) 代理人 井理士 三好 秀和 (外4名)

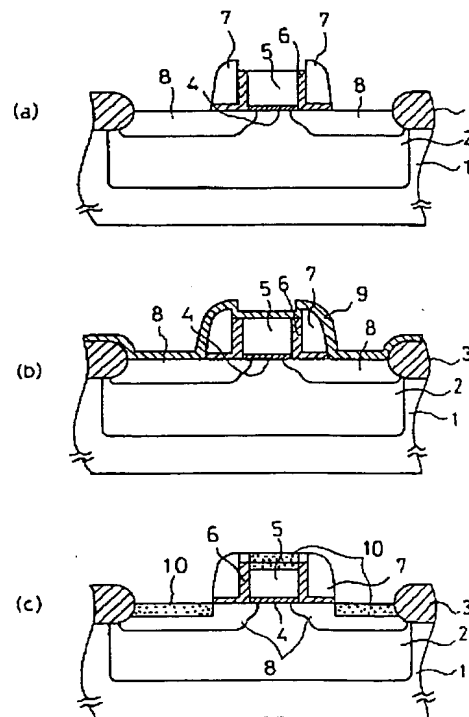
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】 (修正有)

【構成】 素子分離領域3を有するシリコン基板1と、このシリコン基板1の表面にゲート絶縁膜4を介して形成されたポリシリコンゲート電極5と、このポリシリコンゲート電極5に接した酸化膜6と、この酸化膜6に接して設けられた側壁7と、ポリシリコンゲート電極5に対して自己整合的に設けられたソース・ドレイン領域8とを備え、これらソース・ドレイン領域8およびポリシリコンゲート電極5上に遷移8族の金属であるNiを用いてモノシリサイドを形成する。

【効果】 低温プロセスに適しており、浅い接合が可能のため、微細構造とすることができる。違い上がり現象が起らないため、ゲート・ソース間あるいはゲート・ドレイン間のショート不良が生じない。シリサイド形成プロセスが低温であることから、従来の $TiSi_2$ に比べて不純物拡散が抑えられ、高性能なDual-gate CMOSが達成される。



【特許請求の範囲】

【請求項1】 素子分離領域を有する半導体基板と、この半導体基板表面にゲート絶縁膜を介して形成されたポリシリコンゲート電極と、このポリシリコンゲート電極に接した酸化膜と、この酸化膜に接して設けられた側壁と、前記ポリシリコンゲート電極に対して自己整合的に設けられたソース・ドレイン領域とを備え、これらソース・ドレイン領域およびポリシリコンゲート電極上に遷移8族の金属のモノシリサイドを形成したことを特徴とする半導体装置。

【請求項2】 素子分離領域を有する半導体基板上にゲート電極をパターンニングする工程と、素子領域に酸化膜を形成する工程と、エッチバック法によって前記ゲート電極の側部に絶縁膜の側壁を形成する工程と、前記酸化膜をシリコン基板表面が露出するまでエッチング除去する工程と、エッチング除去されたシリコン基板のソース・ドレイン領域および前記ゲート電極上に遷移8族の金属を形成する工程と、前記遷移8族の金属をモノシリサイド化させる工程と、前記側壁上の未反応の遷移8族の金属を除去する工程を具備したことを特徴とする半導体装置の製造方法。

【請求項3】 素子分離領域を有する半導体基板と、この半導体基板表面にゲート絶縁膜を介して形成されたポリシリコンゲート電極と、このポリシリコンゲート電極に接した酸化膜と、この酸化膜に接して設けられた側壁と、前記ポリシリコンゲート電極に対して自己整合的に設けられたソース・ドレイン領域とを備え、これらソース・ドレイン領域およびポリシリコンゲート電極上に拡散種が金属であるモノシリサイドを形成したことを特徴とする半導体装置。

【請求項4】 前記ポリシリコンゲート電極としてnMOS部にはN⁺ポリシリコンを、pMOS部にはP⁺ポリシリコンを備えたCMOS構造であることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は接合が浅く、微細構造の半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 従来のMOSFETの製造方法を図17、18を用いて説明する。

【0003】 まず、n型基板101の表面にpウエル102及び素子分離領域103を形成する(図17(a))。次に、ゲート電極をパターンニングし、ポリシリコン104の表面に酸化膜105を形成する(図17(b))。さらに、N⁻層をイオン注入で形成した後、窒化膜の側壁106をRIEで形成する。この後、N⁺層をイオン注入で形成する(図17(c))。

【0004】 以下、サリサイド工程に入る。

【0005】 希HF溶液を用い、ゲート電極および高濃

度(N⁺)のソース・ドレイン領域107上の酸化膜105を除去する(図18(a))。次に、Tiなどの高融点金属108をスパッタする(図18(b))。730℃で20秒間アニールし、ゲート電極104上およびソース・ドレイン領域107上のTiをシリサイド化させる。H₂O₂とH₂SO₄の混合液で側壁106上の未反応のTiを除去する。さらに、シリサイド膜を、その低抵抗層であるC54構造のTiSi₂(図中、付番109)とするために900℃の高温で熱処理を行なう(図18(c))。

【0006】 この後、層間膜形成工程、コンタクト開孔、Al電極配線、Padの形成を経てMOSFETは完成する。

【0007】

【発明が解決しようとする課題】 以上のように、従来は高融点金属として、Tiが広く使われてきた。しかしながら、Tiは600℃以下の低温ではシリコンと全く反応せず、安定な低抵抗シリサイド層を形成するには図19のように800ないし、900℃以上の熱工程が必要であった。熱処理を低温で行うとシリサイド層が不安定となるため、低温プロセスには不向きである。

【0008】 また、TiSi₂を用いてサリサイド化する際には、ソース・ドレイン領域のSiがゲート電極の側壁を這い上がる現象が起こるため、ゲート・ソース間あるいはゲート・ドレイン間のショート不良が生じやすくなる。

【0009】 一方、従来の製造方法では、図18(c)から分かるように、側壁下部に酸化膜が形成される。この方法をスケーリングされた素子に適用すると、N⁻層の寄生抵抗がチャネルの抵抗と比較できるほど大きくなるため、素子の駆動力の上昇が頭打ちになりやすかった。

【0010】 また、側壁幅を狭くすると、ゲート・ソース間あるいはゲート・ドレイン間のブリッジングによるショート不良が生じやすくなる。さらに、微細になるにつれて、サリサイドトランジスタのドレインまわりのプロファイルの設計が非常に難しくなる。側壁を狭くすることにより、ゲート電極の下部に高濃度領域をオーバーラップさせ、高駆動、高信頼性を得ることと、ショート不良のないトランジスタを安定に作ることを、共に満足させることができなかった。

【0011】 さらに、Tiでは不純物の再分布による、コンタクト抵抗の上昇(P⁺/TiSi₂)、N⁺/P⁺ポリサイド間の不純物の相互拡散による、トランジスタ特性の劣化を誘発しがちであった。

【0012】 従来広く使われているTiSi₂膜は結合エネルギーの観点からボロンとの化合物チタンボライドを作り、TiSi₂とP⁺ゲートおよびP⁺のソース/ドレインとのコンタクト抵抗の上昇をまねきやすく、駆動力の低下やスピードの低下を生じやすかった。

10

20

30

40

50

【0013】また、 $TiSi_2$ をいわゆるDual-gate CMOS構造に適用すると、 N^+ polyと P^+ poly上の Ti シリサイド膜を介して不純物、特にボロンが横方向に拡散する問題があり、トランジスタのしきい電圧の変動をもたらす、デバイス特性が不安定になりがちであった。

【0014】 $TiSi_2$ に対し、遷移8族の金属、特に Ni をシリサイド材料に選ぶと、次のようなメリットがあることがわかっていく。

【0015】まず、シリサイド膜自信のストレスが、図20のように従来の $TiSi_2$ 、あるいは $CoSi_2$ に比べ2倍以上ひっぱり応力が小さいため、プロセスマージンが向上する。

【0016】次に、図21に一定のシリサイドの膜厚を確保する際に必要な、シリコンの消費量について示す。図のように、 $NiSi$ でシリサイド化する際のシリコンの消費量が、 $TiSi_2$ や $CoSi_2$ に比べて同等か20%以上少ない。

【0017】ここで、 $Tsiliicide$ は、各シリサイドが最終的に形成される膜厚を意味する。また、縦軸1.0という値はシリサイド化後のシリサイド膜の上面が、イニシャル（シリサイド形成用の金属スパッタ前）のシリコン界面位置とちょうど同じ高さになったことを示す。

【0018】従って、デザインルールの小さい、拡散層シリサイド膜のはりつかけを考えると、シリサイドの底から、接合の深さまでの距離を確保しやすく、 Ni は接合特性などに有利である。

【0019】さらに、図22は、シリサイド形成時の拡散種をまとめたものである。同図(a)は、 $TiSi_2$ あるいは $CoSi$ を用いたシリサイド形成時の拡散種がシリコンであることを示し、(b)はこのシリサイド形成後に、ブリッジングが生じている様子を示している。また、(c)は、 $NiSi$ あるいは $CoSi$ を用いたシリサイド形成時の拡散種が金属であることを示し、(d)はこのシリサイド形成後に、ブリッジングが生じていない様子を示している。

【0020】この図のように、シリサイド膜が形成される場合、金属が拡散する場合(c)と、シリコンが拡散する場合(a)の2つがある。(b)のように、 $TiSi_2$ 、 $CoSi$ などではシリコン自信が拡散し、シリサイド化が進むのでゲートとソース/ドレインとのショートを生じやすい。

【0021】一方、 Ni は金属自信が移動するため、(d)で示すように Ni シリサイド技術をMOSトランジスタに適用すると、原理的にゲートとソース/ドレインのブリッジングは生じない。

【0022】シリサイド形成時には、ゲートとソース/ドレインのショートがないことが極めて重要である。

【0023】図20～22で示したように、 $TiSi_2$

を用いたシリサイドでは、デザインルールが小さくなるとともに、シリサイド膜のストレスによるハガレ、シリサイドの食い上がりによるゲートとソース/ドレインのショート不良が問題となっていた。以前より、同一シリサイドの膜厚を形成する際に、シリコンの消費量の少ないシリサイドを用いた、シリサイドCMOS技術開発が急がれていた。

【0024】本発明は、このような課題を解決するためになされたものであり、その目的は、 $NiSi$ を使ってシリサイド構造を実現することにより、高温な熱処理が不要となるため、従来の低温プロセスに適し、かつ接合を浅くできるので微細構造が可能な半導体装置およびその製造方法を提供することにある。

【0025】また、本発明の目的は、側壁下部のソース・ドレイン領域の一部分もシリサイド化することにより、ブリッジングによるショート不良が少なく、ホットキャリア信頼性が高く、さらに寄生抵抗が小さい半導体装置およびその製造方法を提供することもある。

【0026】さらに、本発明の目的は、拡散種が金属である $NiSi$ を用い、nMOS部には N^+ ポリシリコンを、pMOS部には P^+ ポリシリコンを備えたCMOS構造にすることにより、ストレスが小さく、シリコン消費量が少なく、かつショート不良が生じない半導体装置およびその製造方法を提供することにある。

【0027】

【課題を解決するための手段】上記目的を達成するため、この発明は、素子分離領域を有する半導体基板と、この半導体基板表面にゲート絶縁膜を介して形成されたポリシリコンゲート電極と、このポリシリコンゲート電極に接した酸化膜と、この酸化膜に接して設けられた側壁と、前記ポリシリコンゲート電極に対して自己整合的に設けられたソース・ドレイン領域とを備え、これらソース・ドレイン領域およびポリシリコンゲート電極上に遷移8族の金属のモノシリサイドを形成した構造となっている。

【0028】また、この発明は、前記ポリシリコンゲート電極としてnMOS部には N^+ ポリシリコンを、pMOS部には P^+ ポリシリコンを備えたCMOS構造となっている。

【0029】

【作用】上記構造を実現するため、この発明は、素子分離領域を有する半導体基板上にゲート電極をパターンニングし、素子領域に酸化膜を形成し、エッチバック法によって前記ゲート電極の側部に絶縁膜の側壁を形成し、前記酸化膜をシリコン基板表面が露出するまでエッチング除去し、エッチング除去されたシリコン基板のソース・ドレイン領域および前記ゲート電極上に遷移8族の金属を形成し、前記遷移8族の金属をモノシリサイド化させ、前記酸化膜上の未反応の遷移8族の金属を除去している。

【0030】また、この発明は、前記ゲート電極として、 n MOS部には N^+ ポリシリコンを備え、 p MOS部には P^+ ポリシリコンを備えたCMOS構造としている。

【0031】

【実施例】以下、図面を参照しながらこの発明の実施例を説明する。

【0032】第1実施例

図1および図2は、本発明の第1実施例によるMISトランジスタの製造工程を示す断面構造図である。

【0033】まず、 n 型単結晶シリコン基板1の表面に p ウエル領域2及び素子分離用のフィールド酸化膜3を形成する(図1(a))。

【0034】次に、シリコン基板1上に例えば5nmのゲート絶縁膜4を成長させる。さらに、ポリシリコンを厚さ350nmで全面に堆積した後、 $POCl_3$ を用いてポリシリコンに高濃度のリンを拡散する。この後、異方性エッチングを用いて、ゲート絶縁膜4および N^+ 化されたポリシリコン5を加工する。ドライ酸素雰囲気中850°Cの条件で、ソース・ドレイン上で約13nmの酸化膜6を形成する(図1(b))。このときゲート電極5上には約500Åの酸化膜6が形成される。

【0035】次に、ゲート電極5をマスクに N 型の不純物例えば $Phos$ (リン)をドーズ量7E13、加速電圧40keVの条件で基板1に打ち込み、ゲートと自己整合的にLDD N^+ 層を形成する。その後、シリコン窒化膜をLPCVD法で100nm堆積し、異方性エッチングによってシリコン窒化膜をゲートの側部にのみ残置させる。これにより、側壁7が形成される(図1(c))。

【0036】次に、ゲート電極5および側壁7をマスクに、例えば As (ヒソ)をドーズ量3E15、加速電圧50keVの条件でイオン注入し、1000°C、20"のランプ加熱によって活性化したソース・ドレイン領域8を形成する。この後、例えば100:3の希HFのエッチング液を用いて、ソース・ドレイン領域8およびゲート電極5上で、シリコン基板1、ゲートポリシリコン5の表面を露出させる(図2(a))。

【0037】さらに、例えばCVD法により、遷移8族の金属である Ni (図中、付番9)を例えば200Å堆積させる(図2(b))。

【0038】次に、580°C 1分の熱処理を施し、ゲート電極5、およびソース・ドレイン領域8上の Ni 膜9をシリコンと反応させて約700Åの $NiSi$ (図中、付番10)を形成する。この後、 $HCl:H_2O_2:H_2O=1:1:2$ の混合比の溶液で15分の選択エッチングを行い、側壁7上の未反応 Ni を除去する(図2(c))。

【0039】同図(c)の後には、CVD- SiO_2 膜、BPSG膜をそれぞれ、2000Å、9000Å堆積さ

せ、レジストエッチバック法によって平坦化させる。このとき、高温での熱処理は不要である。最後に、コンタクトホールの開孔、 Al 配線パターンの形成、450°Cフォーミングガスでの熱処理、 pad の開孔など通常の工程を経て、 $NiSi$ サリサイドトランジスタは完成する。

【0040】以上のように、第1実施例では高融点金属として Ni を用いて、 $NiSi$ によるサリサイド化を行った。 $NiSi$ によるサリサイド化の際には400~700°Cの低温で熱処理できるため、低温プロセスに適している。また、低温で安定なシリサイド膜が形成できるため、不純物の拡散が少なくなり、浅い接合が可能である。これにより、微細構造の半導体装置を製造することができる。

【0041】 $NiSi$ は、従来用いられていた $TiSi_2$ と違い、違い上がり現象が起こらないため、ゲート・ソース間あるいはゲート・ドレイン間のショート不良は生じない。さらに、 $NiSi$ は $TiSi_2$ に比べて膜ストレスがほぼ半分であり、 $TiSi_2$ の膜ストレスを
1. 2×10^{10} (dyn/cm) とすると、 $NiSi$ のそれは
6 $\times 10^9$ (dyn/cm) である。

【0042】この $NiSi$ によるサリサイドトランジスタの $VD-ID$ 特性を図3に示す。このグラフは、ゲート電圧 V_g をパラメータとしたときのドレイン電圧-ドレイン電流を表している。

【0043】なお、第1実施例では遷移8族の金属として Ni を用いたが、これに限らず Co を用いても同様にシリサイド化することができる。但し、この Co は、 $CoSi$ にシリサイド化する際に $NiSi$ と同様に低温処理できるが、500°C以上になると組成が変わってしまうという欠点がある。

【0044】第2実施例

第1実施例では、 $NiSi$ を用いたサリサイド化の例を示したが、この例では図2(c)から分かるように側壁7の下部には酸化膜6が形成されており、シリサイド化がなされていない。このため、従来と同様に N^+ 層の寄生抵抗が大きくなりやすい。これを解決するための製造方法を、図4を参照しながら説明する。図4に示す製造工程以前の工程は、図1に示したものと同様であるのでここでは省略する。

【0045】ソース・ドレイン領域8を形成した後、例えば100:3の希HFのエッチング液を用いて、ソース・ドレイン領域8およびゲート電極5上で、シリコン基板1とゲートポリシリコンの表面を露出させる。さらにエッチングを追加し、側壁7の下部に空洞11を例えば400Åの幅で形成する(図4(a))。

【0046】次に例えばCVD法により、 Ni (付番9)を例えば200Å堆積させる(図4(b))。これにより、空洞11内のシリコン上にも Ni が堆積する。

【0047】この後、580°C 1分の熱処理を施し、

ゲート電極5およびソース・ドレイン領域8上のNiをシリコンと反応させ、約700ÅのNiSi（付番10）を形成する。最後に、 $\text{HCl}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:1:2$ の混合比の溶液で15分の選択エッチングを行い、側壁7上の未反応Niを除去する（図4（c））。

【0048】これ以後の工程は、第1実施例のときと同様である。

【0049】このように、側壁7の下部もシリサイド化することによってショートと不良をひきおこすことなく、寄生抵抗を小さくできる。

【0050】ホットキャリア信頼性の面でも、側壁下のシリサイド層に注入したキャリアは速やかにソース・ドレイン電極に流れていくため、トラップ起因のデバイス劣化を従来に比べ抑えることができる。

【0051】なお、第2実施例では、空洞11のNiSiの形成に、選択性のない（通常の）CVD法を用いたが、図5に示すように、 WF_6 を用いたW（タングステン、図中付番12）等の選択CVD法を用いてもよい。この場合には、選択エッチング以降の工程は不要となる。

【0052】また、第2実施例では、ゲート電極5はポリシリコン単層であったが、ポリシリコンと高融点金属との多層膜、例えばタングステンポリサイドであってもよい。但しこの場合、図4（c）に示すようなゲート電極5の側面のシリサイド膜13の形成はなされない。さらに、第2実施例ではゲート電極5上もシリサイド化したが、ゲート電極5をパターニングする前に十分厚い絶縁膜を堆積しておき、ゲート電極5上にはシリサイドを形成しない構成としてもよい。

【0053】第3実施例

第2実施例ではゲート電極5の側部に酸化膜6を設けている。このため、図4（a）で示したように空洞11を形成する際に、エッチングが過剰に行われてゲート電極5までエッチされてしまい、ゲート電極5とNiSi膜10がショートしてしまう恐れがある。

【0054】この欠点を解決するため、エッチングが過剰に行われてもゲート電極5までエッチされず、必ずゲート電極5の手前でエッチングを止めることができる製造方法を以下に説明する。図6は、この方法によって製造された半導体装置の断面構造図である。

【0055】第1実施例と同様にしてゲート電極5を加工した後、窒化膜14をLPCVD法で200Å堆積する。

【0056】次にRIEで、ゲート電極5上およびシリコン基板1表面の窒化膜を除去する。次に850℃ Dry中で45分の酸化を行ない、選択的に酸化膜を形成する。この後の工程は、基本的には図1（c）および図4（a）～（c）と同様である。

【0057】ここで、空洞11の幅は、側壁7の最大幅

をX、側壁7のエッチからゲート電極5方向に測った空洞11の幅をYとすると、 $0.1 \leq Y/X \leq 0.9$ の関係が満たされるようにする。この空洞11の幅は2回の窒化膜デポ厚によってのみ決まる。このようなプロセスで製造すると、ゲート電極5の側部に設けた、うすい窒化膜14によってHFのエッチングをストップさせることができ、再現性よく、空洞11の幅を制御できる。

【0058】以上の第1～第3実施例では、Nchトランジスタについて説明したが、この発明はこれに限ることなく、もちろん通常のCMOS構造であってもかまわない。また、ゲート電極はイオン注入で形成してもよいし、側壁形成後、ソース・ドレイン表面を酸化する工程を加えてもよい。さらに、特にDual-Gate構造による場合、ボロンの突きぬけを抑制するために、ゲート酸化膜に、窒素を導入する工程を追加してもよいものである。

【0059】第4実施例

図7は、ゲート電極をCMOS構造とした半導体装置の断面構造図である。図8、9は、そのプロセスフローである。

【0060】第1実施例と同様にしてn型シリコン基板1上にP/N両面ウエルを形成した後、素子分離領域3の形成を行なう。

【0061】次に、n型シリコン基板1上に7nmのゲート酸化膜を成長させる。その後200nmのポリシリコンを全面に堆積した後、 N^+ ポリシリコンとするためにAsを、 P^+ ポリシリコンとするために BF_2 をイオン注入することにより、これらのポリシリコンに不純物を導入する。その後、前記ポリシリコン上にシリサイド膜、例えばWシリサイド膜を100nm全面に堆積する。

【0062】続いて、このWシリサイド膜10及び不純物の導入されたポリシリコンをレジストマスクを用いて異方性エッチングで加工する。

【0063】ドライ酸素雰囲気において、ソース/ドレイン上で約10nmの酸化膜を形成する。

【0064】続いて、レジストマスクに、リンを $7\text{E}13$ 、Asを $3\text{E}15\text{cm}^{-2}$ の条件でイオン注入し、 N^- 層と N^+ 層を形成する。レジストを除去した後、再びレジストマスクを用いて BF_2 を $3\text{E}15\text{cm}^{-2}$ でイオン注入する。

【0065】その後、シリコン窒化膜をLPCVD法で100nm堆積し、異方性エッチングによってシリコン窒化膜をゲートの側部にのみ残置させる。これにより、側壁7が形成される。

【0066】1000℃20"のランプ加熱によって活性化したソース・ドレイン領域を形成する。ここからサリサイドの工程に入る。

【0067】例えば100:3の希HFのエッチング液を用いて、ソース・ドレイン領域およびゲート電極上

で、ゲートポリシリコンの表面を露出させる。

【0068】続いて、高真空中でNiを、スパッタ法で20-60nm蒸着する。次にRTA装置で、600℃30secの熱処理をN₂あるいはArなどの不活性ガス中で施す。これによりゲートポリシリコンおよびN⁺/P⁺拡散層上のNiはシリサイド化反応をおこし、NiSi層が形成される。

【0069】この後、H₂O₂+HCl+H₂O、あるいは硫酸、硝酸液を用い、フィールド酸化膜上、側壁窒化膜上の未反応Niを選択的に除去する。

【0070】次に、CVD-SiO₂膜、BPSG膜を堆積させ、第1の実施例と同様、平坦化させる。

【0071】次にレジストを用い、コンタクトを開孔する。

【0072】続いて、バリアメタル層、例えばTiNを全面にスパッタし、引き続きAlをスパッタし、レジストを用いて加工する。

【0073】この後は、450℃フォーミングガス中での熱処理、padの開孔を行なってシリサイドトランジスタは完成する。

【0074】以上のような製造方法で作成したNiSi膜を、N⁺/P⁺シングルおよびポリ上について断面TEM観察を行った結果、フラットで均一な膜が形成されていた。

【0075】図10(a)はN⁺拡散層上の、図10(b)はP⁺拡散層上のシリサイド化前後の不純物のSIMSプロファイルである。但し、スパッタ膜厚は30nm、シリサイド化条件は600℃で30秒であり、実線はシリサイド化反応後、点線はシリサイド化反応前である。

【0076】同図において、TiSi₂形成時に観測されるシリサイドとシリコン界面で、不純物の再分布は極めて少ないことが分かる。シリサイド化の形成温度が低温であることにより、特にボロンのシリサイド膜への吸いだし効果が小さい。むしろ界面にバイルアップしており、低いコンタクト抵抗をもたらす。

【0077】図11は、下地がポリシリコンの時の同様のプロファイル測定の結果である。この図より、NiSi膜ではシリサイド膜への縦方向拡散が小さいことが分かる。

【0078】また、図12(a)は、N⁺/P⁺polyサイド領域間の相互(横方向)拡散を調べたものである。図中AとBの深さ方向のボロンの分布を示したものが同図(b)である。なお、NiSiでの感度の補正は、図10、11と同様に行なっていない。これらの図から分かるように、ボロンの横方向拡散も極めて少ない。

【0079】図示していないが、Niシリサイド技術をDual-gate CMOSに適用した際のSEM断面を観察した結果、ソースおよびドレインからのシリサ

イド食い上がりはなく、ブリッジングがないことが実証された。電氣的なopen/shortテストでも確認済である。

【0080】図13および図14には、N⁺/P接合特性と、I_D-V_D特性を示す。これらの様子から、リーク特性、静特性とも良好で、低リーク電流と高い駆動力が得られている。

【0081】図15に、各シリサイド化条件でのNiシリサイド膜厚変化と、そのときのシート抵抗を示す。

【0082】また、図16に、P⁺層とNiSi界面におけるコンタクト抵抗のサイズ依存性を示す。スパッタ膜厚は30nmである。同図において、750℃、900℃の2step法で形成したTiSi₂とP⁺とのコンタクト抵抗に比べ、約2.5~3倍低いコンタクト抵抗(0.7μm²で約40Ω)が得られている。

【0083】TiSi₂の場合は、700℃30"でシリサイド化させたサンプルはNiSiとほぼ同程度のコンタクト抵抗を示すが、シート抵抗が高くなってしまふ。これは、シート抵抗を下げるために通常用いられている熱処理、この場合は900℃、20"により、P⁺ソース/ドレイン中のボロンがシリサイド膜に吸い出され、Tiシリサイド膜とP⁺シリコンとの界面の濃度が低下するためである。

【0084】2stepアニールを省略して1step目のアニール温度を800℃にあげると、図22(b)に示したように、側壁上に形成されるシリサイド膜によって、ゲートとソース/ドレインとのショートが顕著に生じる。

【0085】第4実施例では、シリサイド化の温度を600℃と述べたが、図19に示したように350℃~750℃であればその他の温度であってもかまわない。

【0086】また、シリサイド化は水素添加の雰囲気であってもよいし、RTA装置に限らず通常の炉を用いて行なってもよい。

【0087】さらに、CMOS構造を実現するには、選択シリサイドCVD法を用いて行なってもよい。このときには、例えばNi(CO)₆+SiH₄系を用いることができる。この場合には選択エッチングの工程は不要である。

【0088】前述したポリサイドの実施例では、Wシリサイドを用いたが、その他いかなるシリサイド膜であってもかまわない。

【0089】また、ゲート上のシリサイドの形成は、シリサイド膜自身をコーススパッタ法で形成してもよいし、メタルを蒸着した後シリサイド化してもよい。

【0090】さらにゲートポリシリコン加工前、シリサイド膜の上に絶縁膜を堆積し、形成されたゲート上のシ

リサイド膜（例えばWシリサイド）とNiSi膜との反応を防止することもできる。このとき、ゲートポリシリコンのエッチングは、絶縁膜（W）シリサイド膜、ポリシリコンの3段階のエッチングとなる。

【0091】

【発明の効果】以上述べたように本発明の半導体装置およびその製造方法によれば、NiSiによるシリサイド化を行ったので、低温プロセスに適しており、浅い接合が可能のため、微細構造の半導体装置を製造することができる。さらに、這い上がり現象が起こらないため、ゲート・ソース間あるいはゲート・ドレイン間のショート不良が生じない。

【0092】また、ゲート電極側壁下部の一部分にもシリサイド層を形成したことにより、 N^+ 層での寄生抵抗を小さく、ホットキャリア信頼性を高くでき、かつブリッジングによるショート不良を低減できるので、高性能な半導体装置を製造することができる。

【0093】さらに、NiSiをCMOS構造に適用することにより、膜ストレスを小さくすると共にシリコン消費量も少なくすることができ、かつショート不良を防ぐことができる。

【0094】さらにまた、 P^+ 層とのコンタクト抵抗が低減でき、Dual-gate CMOS構造においては、不純物拡散の極めて少ない半導体装置を製造することができる。

【図面の簡単な説明】

【図1】シリサイド化の際にNiSiを用いた製造工程を示す断面構造図である。

【図2】図1に続いて行われる製造工程を示す断面構造図である。

【図3】NiSiを用いたシリサイドトランジスタの特性を示すグラフである。

【図4】ゲート電極の側壁下部の一部分にもシリサイド膜を形成する製造工程を示す断面構造図である。

【図5】空洞部の形成の際に選択CVD法を用いた半導体装置の断面構造図である。

【図6】側壁下部の空洞幅を制御することができる半導体装置の断面構造図である。

【図7】ゲート電極をCMOS構造とした半導体装置の断面構造図である。

【図8】図7の半導体装置を製造するときのプロセスフ

ローである。

【図9】図8の続きとなるプロセスフローである。

【図10】シリサイドーション前後の不純物のSIMSプロファイルである。

【図11】図10と同様のSIMSプロファイルである。

【図12】 N^+ / P^+ polyサイド領域間の相互（横方向）拡散を現した図である。

【図13】 N^+ / P 接合のI-V特性である。

10 【図14】NiシリサイドNおよびPMOS FETの $I_D - V_D$ 特性である。

【図15】各シリサイドーション条件でのNiシリサイド膜厚変化と、Ni膜のシート抵抗である。

【図16】 P^+ 層とNiSi界面におけるコンタクト抵抗のサイズ依存性である。

【図17】従来の $TiSi_2$ を用いたMOSFETの製造工程を示す断面構造図である。

【図18】図17に続いて行われる従来の製造工程を示す断面構造図である。

20 【図19】各シリサイドを安定に形成するために必要な温度範囲である。

【図20】各シリサイドにおける膜ストレスである。

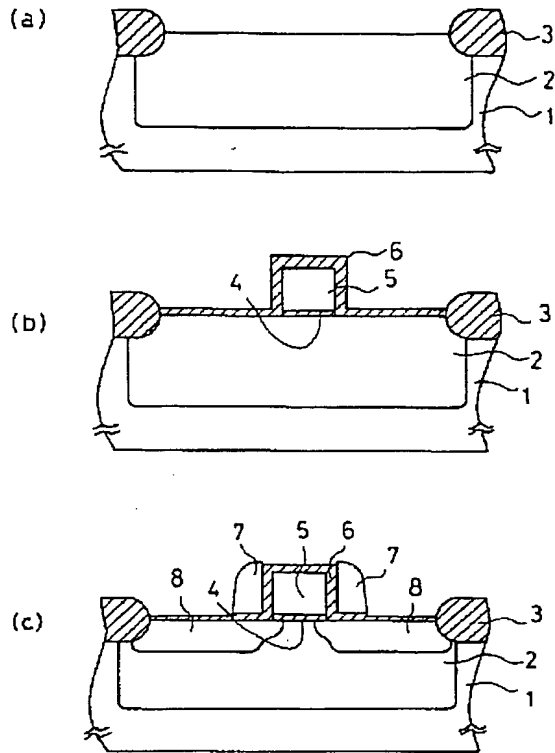
【図21】各シリサイドを形成する際のシリコンの消費量である。

【図22】シリサイド形成時の拡散種を説明するための図である。

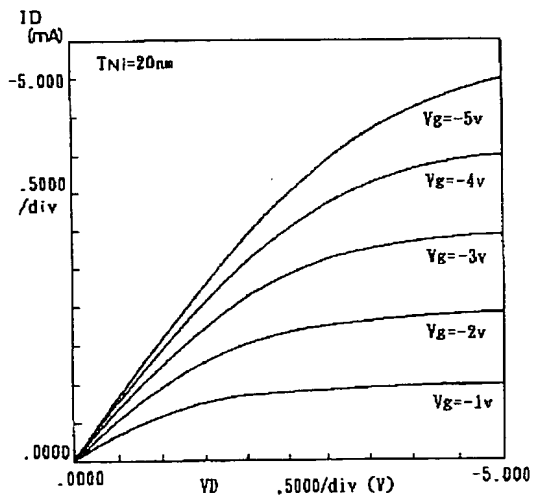
【符号の説明】

- 1 シリコン基板
- 2 pウエル
- 30 3 素子分離領域
- 4 ゲート絶縁膜
- 5 ポリシリコン
- 6 酸化膜
- 7 側壁
- 8 ソース・ドレイン領域
- 9 遷移8族の金属膜
- 10 シリサイド膜
- 11 空洞
- 12 タングステン膜
- 40 13 ゲート電極側面のシリサイド膜
- 14 窒化膜

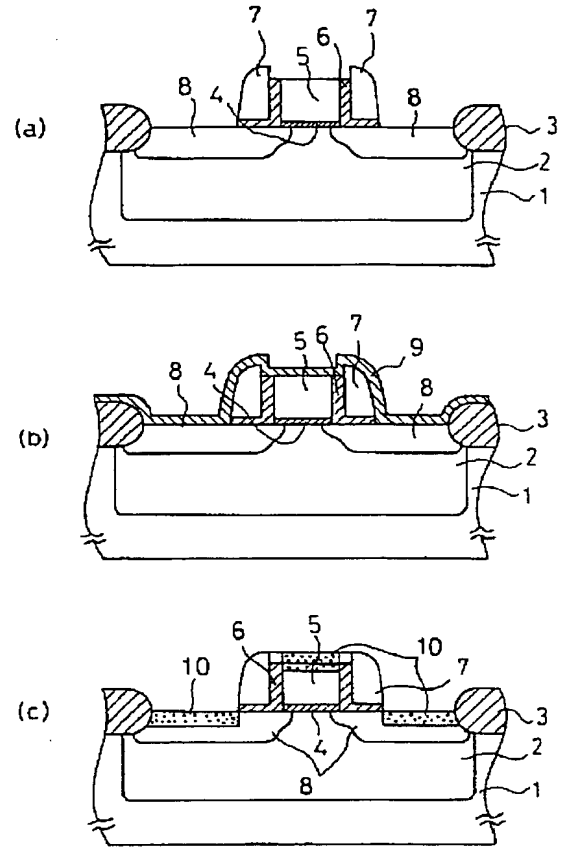
【図1】



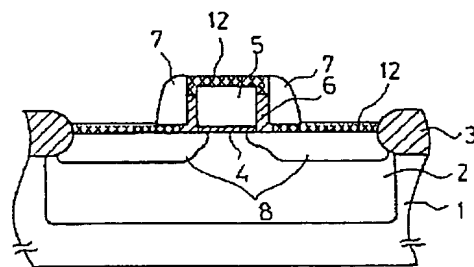
【図3】



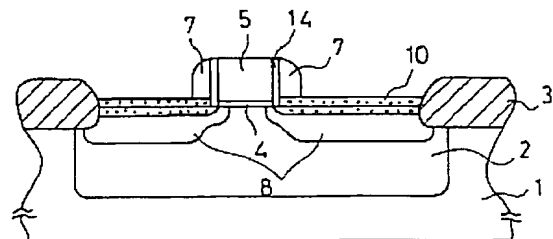
【図2】



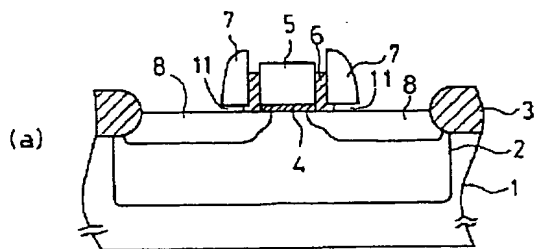
【図5】



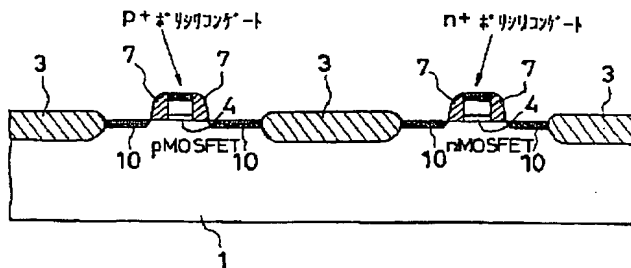
【図6】



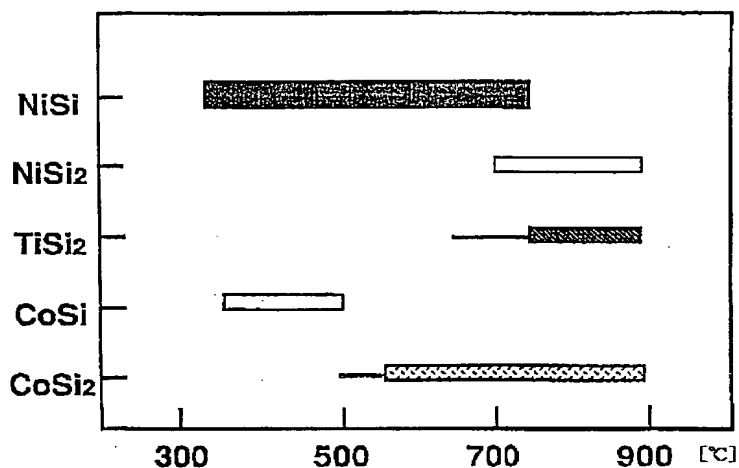
【図4】



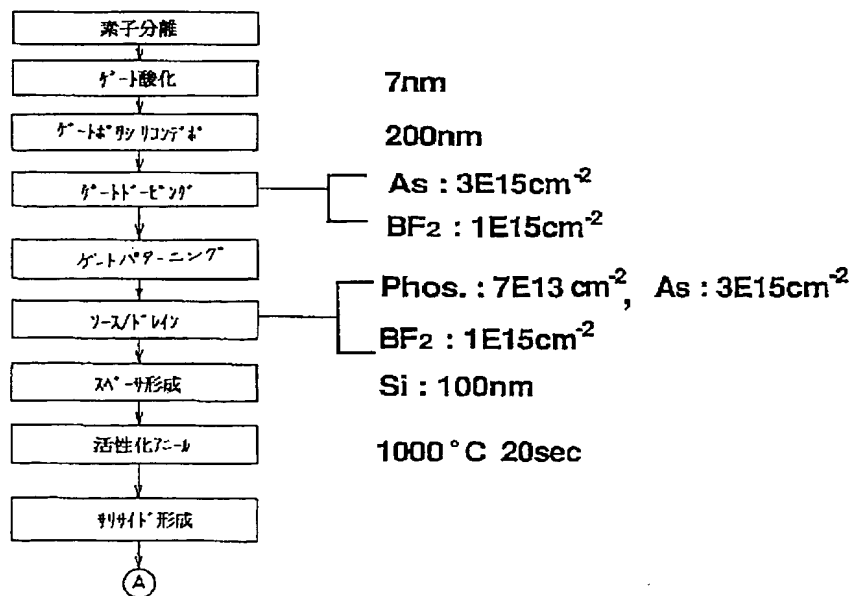
【図7】



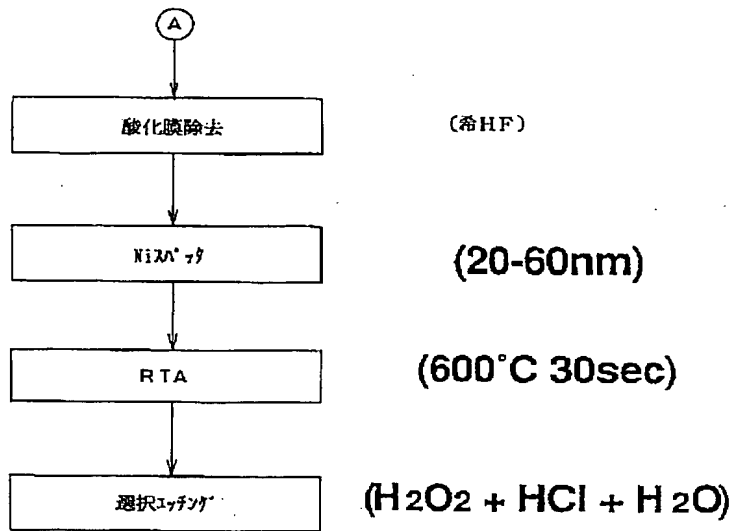
【図19】



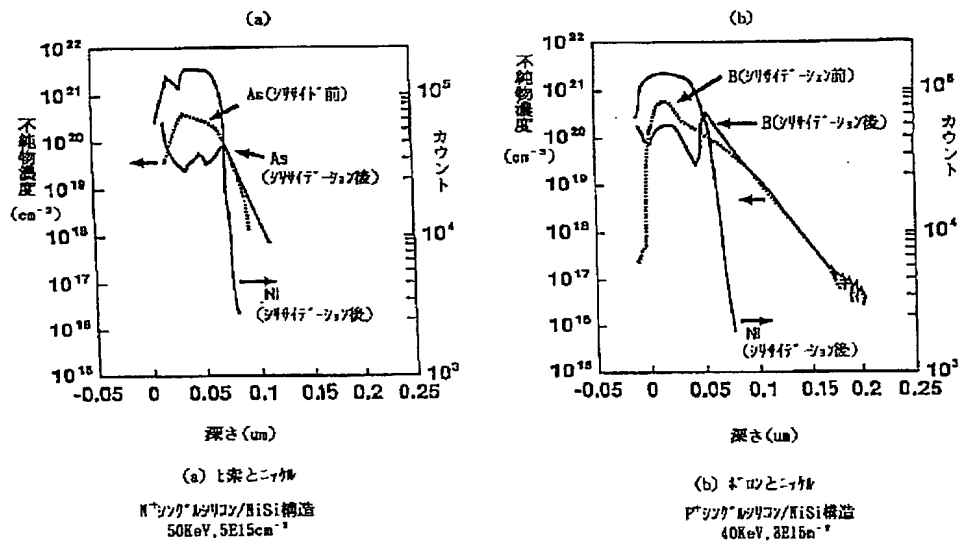
【図8】



【図 9】



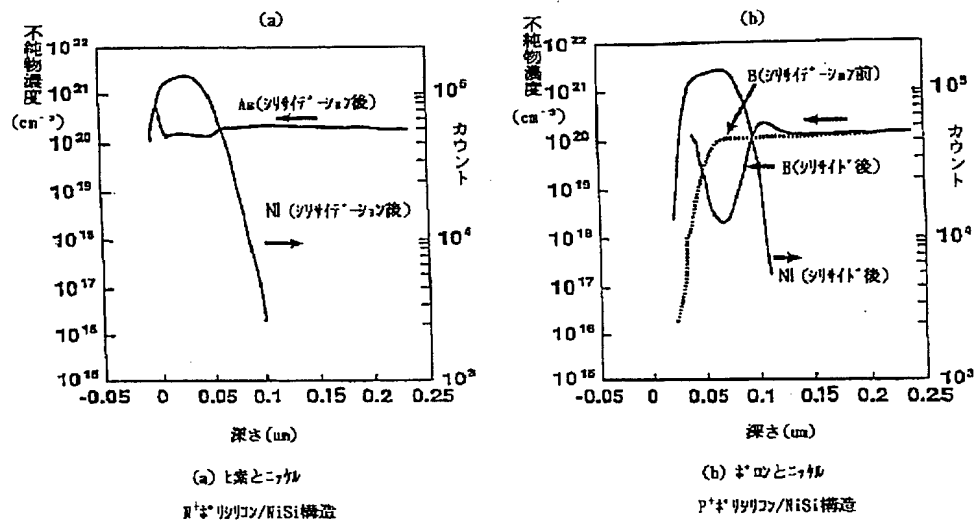
【図 10】



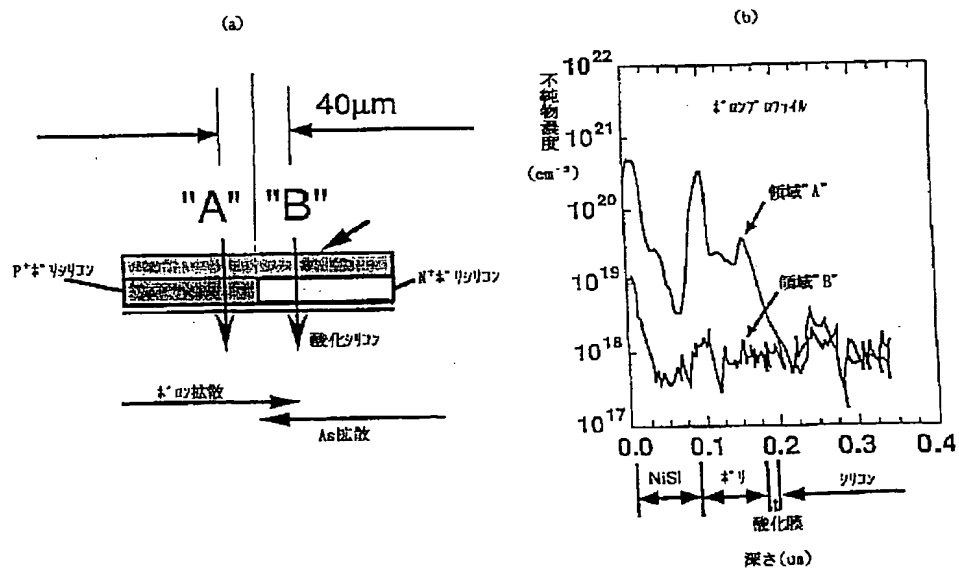
【図 15】

シリサイデーション	イニシャル	600°C 30sec	600°C 120sec	850°C 30sec
膜	Ni	NiSi	NiSi	NiSi ₂
膜厚(Å)	300	700	700	1100
ρ _{シリコン} (Ω/□)	5.8	2.95	2.94	4.0
ρ _{シリコン} (Ω/□)	5.8	2.80	2.80	5.5

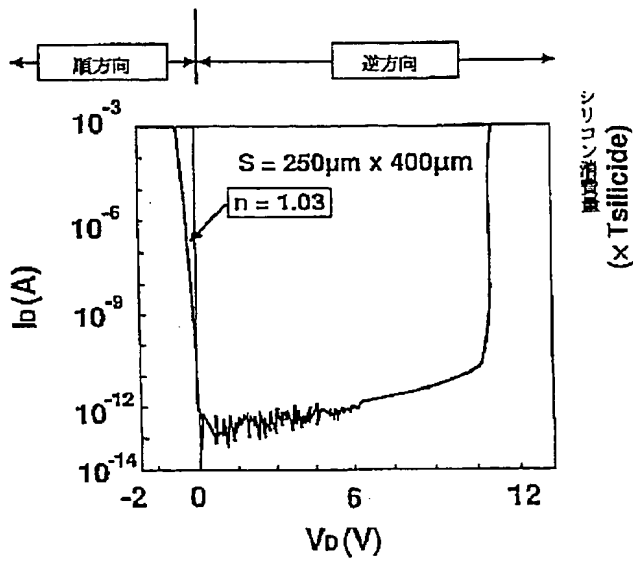
【図11】



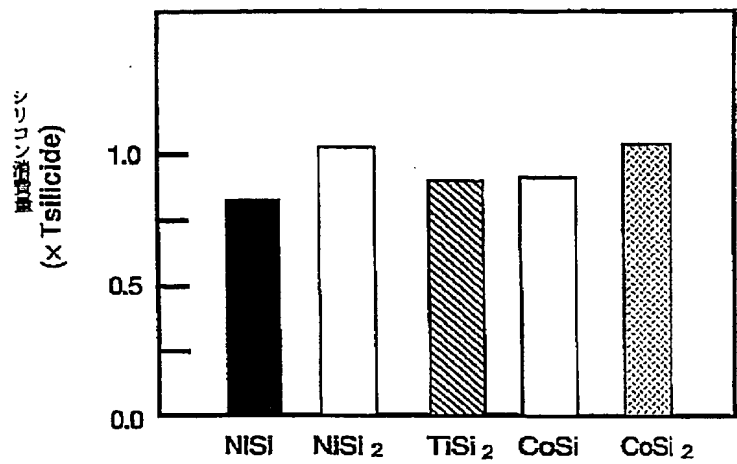
【図12】



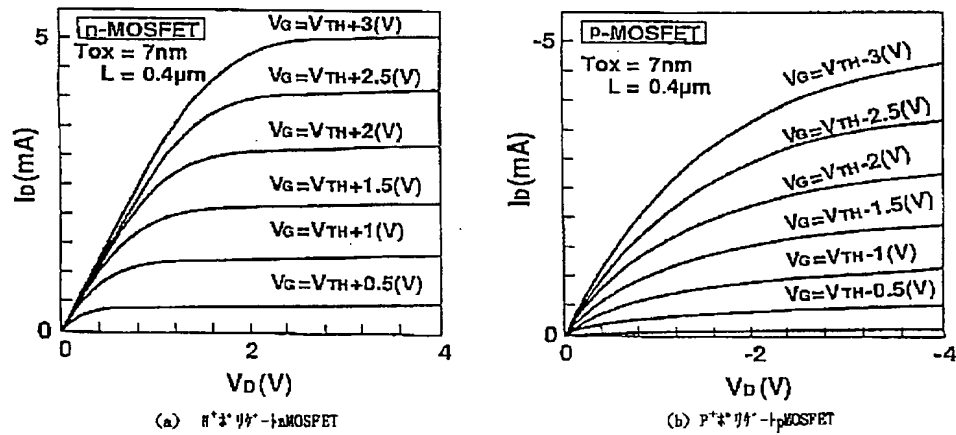
【図13】



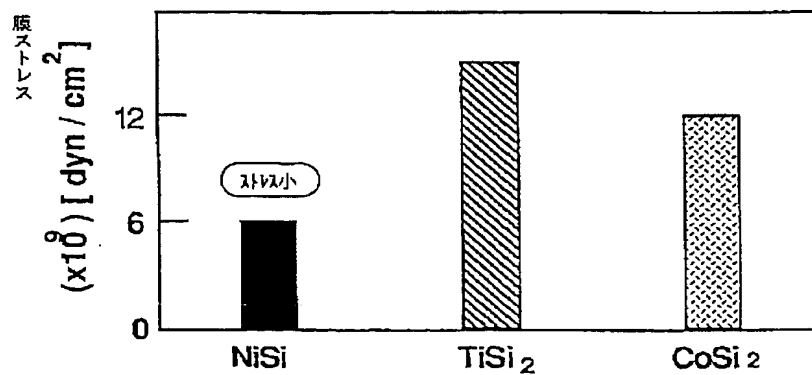
【図21】



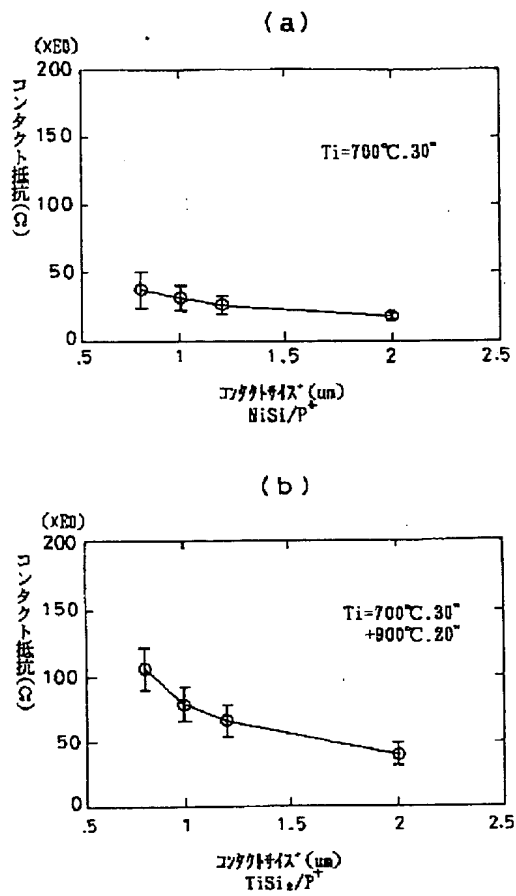
【図14】



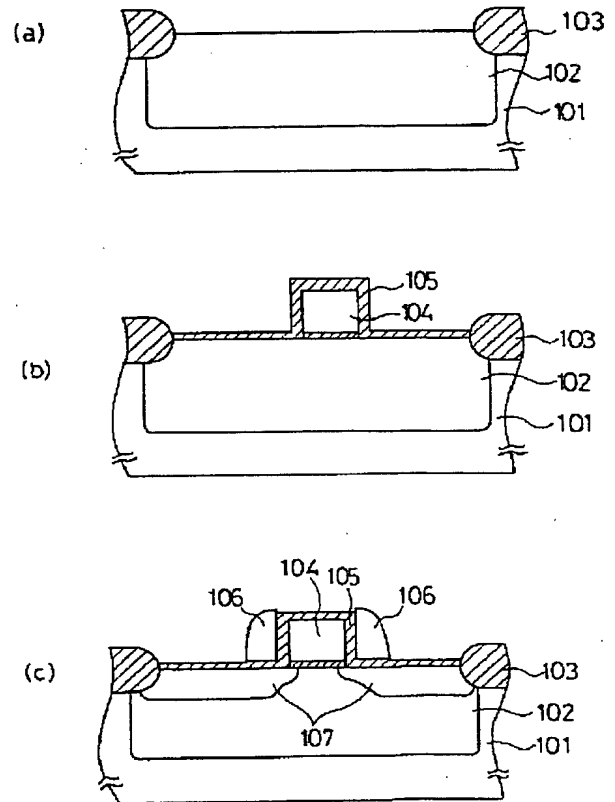
【図20】



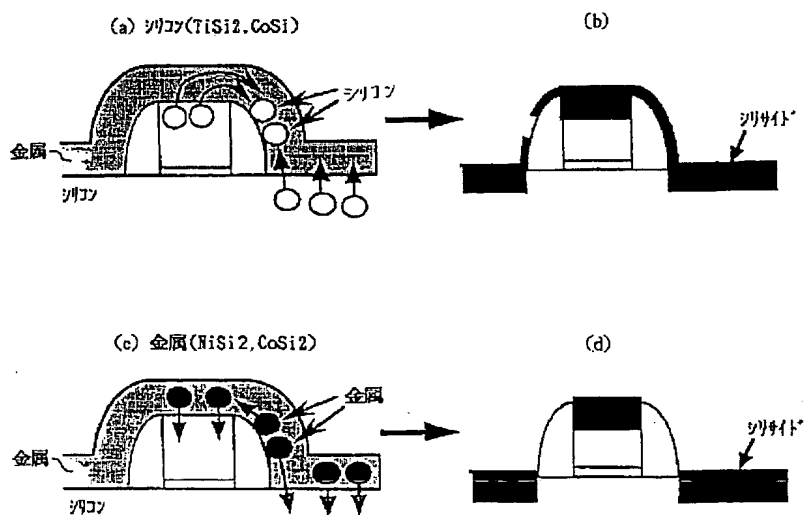
【図16】



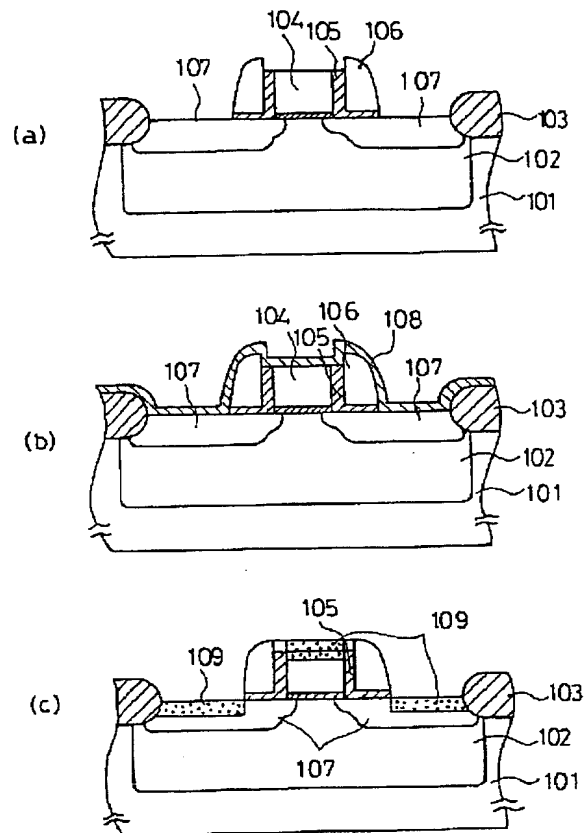
【図17】



【図22】



【図 18】



フロントページの続き

(72)発明者 百瀬 寿代
 神奈川県川崎市幸区小向東芝町 1 株式会
 社東芝総合研究所内
 (72)発明者 土明 正勝
 神奈川県川崎市幸区小向東芝町 1 株式会
 社東芝総合研究所内
 (72)発明者 須黒 恭一
 神奈川県川崎市幸区小向東芝町 1 株式会
 社東芝総合研究所内

(72)発明者 中島 博臣
 神奈川県川崎市幸区小向東芝町 1 株式会
 社東芝総合研究所内
 (72)発明者 岩井 洋
 神奈川県川崎市幸区小向東芝町 1 株式会
 社東芝総合研究所内
 (72)発明者 勝又 康弘
 神奈川県川崎市幸区小向東芝町 1 株式会
 社東芝総合研究所内